

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261926

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

H03G 3/10

H03D 7/14

(21)Application number : 09-063210

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.03.1997

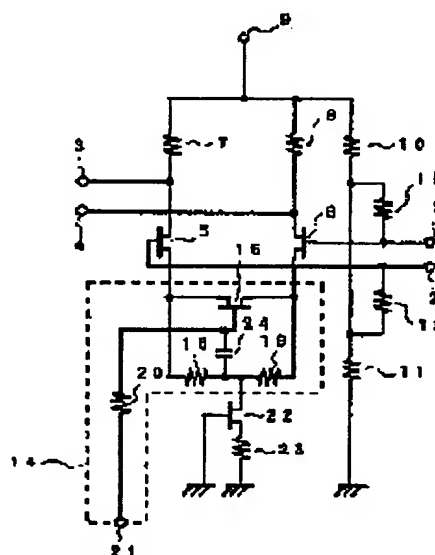
(72)Inventor : ICHIKAWA KATSUhide
NAGASHIMA TOSHIO

(54) VARIABLE RESISTOR, GAIN CONTROLLED AMPLIFIER CIRCUIT USING THE SAME AND MIXER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration in the gain control extent at a high frequency, deterioration in the distortion improvement effect and generation of parasitic oscillation due to a capacitor provided to a gain control FET for improving distortion at the gain control.

SOLUTION: An RF signal inputted from input terminals 1, 2 is amplified by amplifier FETs 5, 6 and the amplified signal is outputted from output terminals 3, 4. A gain at this time is controlled by changing a resistance of a variable resistor 14 in response to a gain controlled voltage applied from an input terminal 21. The resistance is changed by changing a channel resistance of a gain control FET 15 based on the gain controlled voltage and in order to improve distortion at gain control here, a capacitor 24 is provided between a gate of the gain controlled FET 15 and a connecting point of gain controlled variable adjustment resistors 18, 19. Based on such the connection, the capacitor 24 disregards the effect on the channel resistor of the gain control FET 15.



LEGAL STATUS

[Date of request for examination] 09.03.2000

[Date of sending the examiner's decision of rejection] 15.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261926

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁹

識別記号

F I

H 0 3 G 3/10

H 0 3 G 3/10

B

H 0 3 D 7/14

H 0 3 D 7/14

A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-63210

(22) 出願日 平成9年(1997) 3月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 市川 勝英

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マルチメディアシステム開発本部内

(72) 発明者 長嶋 敏夫

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マルチメディアシステム開発本部内

(74) 代理人 弁理士 武 順次郎

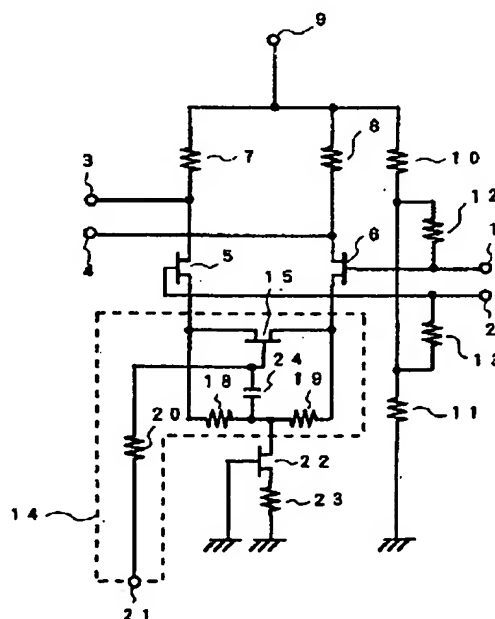
(54) 【発明の名称】 可変抵抗器とそれを用いた利得制御増幅回路及びミキサ回路

(57) 【要約】

【課題】 利得制御用 F E T に設ける利得制御時の歪み改善用コンデンサによる高域での利得制御量の劣化や歪み改善効果の低下、寄生発振の発生を防止する。

【解決手段】 入力端子 1、2 から入力された R F 信号は、増幅用 F E T 5、6 で増幅されて、出力端子 3、4 から出力される。このときの利得は、入力端子 2 1 から印加される利得制御電圧に応じて可変抵抗器 1 4 の抵抗値が変化することにより制御される。この抵抗値は、この利得制御電圧により利得制御用 F E T 1 5 のチャンネル抵抗が変化することによって変化するものであるが、ここで、利得制御時の歪み改善のために、この利得制御用 F E T 1 5 のゲートと利得制御量調整用抵抗 1 8、1 9 の接続点との間にコンデンサ 2 4 が設けられている。かかる接続により、このコンデンサ 2 4 は、利得制御用 F E T 1 5 のチャンネル抵抗に対し、その影響を無視することができる。

【図 1】



1

【特許請求の範囲】

【請求項1】 電界効果トランジスタのドレインに第1の端子を、ソースに第2の端子を、ゲートに抵抗を介してチャンネル抵抗制御端子を夫々設け、該チャンネル抵抗制御端子に制御電圧を印加することにより、該電界効果トランジスタのチャンネル抵抗を制御して該第1、第2の端子間の抵抗を可変とする可変抵抗器において、

該第1、第2の端子間に第1、第2の抵抗の直列接続体を接続し、

かつ該第1、第2の抵抗の接続点と該電界効果トランジスタのゲートとの間にコンデンサを接続したことを特徴とする可変抵抗器。

【請求項2】 夫々ドレインに負荷抵抗が接続された第1、第2の電界効果トランジスタ夫々のソースに、利得制御のための可変抵抗器が接続されてなる利得制御増幅回路において、

該可変抵抗器を請求項1記載の可変抵抗器として、該第1の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第1の端子を、該第2の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第2

の端子を夫々接続し、

かつ、請求項1記載の可変抵抗器での前記第1、第2の抵抗の接続点に電流源を接続したことを特徴とする利得制御増幅回路。

【請求項3】 夫々ドレインに負荷抵抗が接続された第3、第4の電界効果トランジスタ夫々のソースに、利得制御のための可変抵抗器が接続されてなる利得制御増幅回路において、

該可変抵抗器を請求項1記載の可変抵抗器として、該第3の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第1の端子を、該第4の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第2

の端子を夫々接続し、

かつ、該第3の電界効果トランジスタのソースに第1の電流源を、該第4の電界効果トランジスタのソースに第2の電流源を夫々接続したことを特徴とする利得制御増幅回路。

【請求項4】 第5、第6の電界効果トランジスタのソースに共通に第7の電界効果トランジスタのドレインが接続されてなる第1の差動回路と、第8、第9の電界効果トランジスタのソースに共通に第10の電界効果トランジスタのドレインが接続されてなる第2の差動回路と、該第7、第10の電界効果トランジスタ夫々のソースが接続される利得制御のための可変抵抗器とを有してなり、該第5、第9の電界効果トランジスタのゲートを第1の入力端子に、該第6、第8の電界効果トランジスタのゲートを第2の入力端子に夫々接続して、該第1、第2の入力端子から局部発振信号を入力し、該第7、第10の電界効果トランジスタのゲートを夫々第3、第4の入力端子に接続して、該第3、第4の入力端子から無

2

線周波信号を入力し、該第5、第8の電界効果トランジスタのドレインの接続点と該第6、第9の電界効果トランジスタのドレインの接続点とから該無線周波信号を該局部発振信号で周波数変換して得られる中間周波信号を出力するダブルバランス型のミキサ回路において、

該可変抵抗器を請求項1記載の可変抵抗器として、該第7の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第1の端子を、該第10の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第2の端子を夫々接続し、

かつ、請求項1記載の可変抵抗器での前記第1、第2の抵抗の接続点に電流源を接続したことを特徴とするミキサ回路。

【請求項5】 第11、第12の電界効果トランジスタのソースに共通に第13の電界効果トランジスタのドレインが接続されてなる第3の差動回路と、第14、第15の電界効果トランジスタのソースに共通に第16の電界効果トランジスタのドレインが接続されてなる第4の差動回路と、該第13、第16の電界効果トランジスタ夫々のソースが接続される利得制御のための可変抵抗器とを有してなり、該第11、第15の電界効果トランジスタのゲートを第5の入力端子に、該第12、第14の電界効果トランジスタのゲートを第6の入力端子に夫々接続して、該第5、第6の入力端子から局部発振信号を入力し、該第13、第16の電界効果トランジスタのゲートを夫々第7、第8の入力端子に接続して、該第7、第8の入力端子から無線周波信号を入力し、該第11、第14の電界効果トランジスタのドレインの接続点と該第12、第15の電界効果トランジスタのドレインの接続点とから該無線周波信号を該局部発振信号で周波数変換して得られる中間周波信号を出力するダブルバランス型のミキサ回路において、

該可変抵抗器を請求項1記載の可変抵抗器として、該第13の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第1の端子を、該第16の電界効果トランジスタのソースに請求項1記載の可変抵抗器の前記第2の端子を夫々接続し、

かつ、該第13の電界効果トランジスタのソースに第3の電流源を、該第16の電界効果トランジスタのソースに第4の電流源を夫々接続したことを特徴とするミキサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TVやCATV、衛星放送、衛星通信、セルラ電話などの受信機に用いられる高周波信号処理のための利得制御増幅回路やミキサ回路とこれらに使用される可変抵抗器に関する。

【0002】

【従来の技術】特願平7-188841号公報に、差動型の利得制御増幅回路の一従来例が開示されている。図

5はこの従来の利得制御増幅回路を示す回路図であって、1、2はRF信号（無線周波信号）の入力端子、3、4はRF信号の出力端子、5、6は増幅用FET（電界効果トランジスタ）、7、8は負荷抵抗、9は電源端子、10、11はブリーダ抵抗、12、13はバイアス印加抵抗、14は可変抵抗器、15は利得制御用FET、16、17は利得制御時の歪み改善用コンデンサ、18、19は利得制御量調整用抵抗、20はゲート保護抵抗、21は利得制御電圧の入力端子、22は電流源FET、23はバラツキ吸収抵抗である。

【0003】同図において、増幅用FET5、6のドレインには、夫々負荷抵抗7、8が接続され、それらのゲートには、RF信号の入力端子1、2が接続され、それらのソースには、可変抵抗器14を介して電流源FET22のドレインに接続されている。また、これら増幅用FET5、6のゲートには夫々、電源端子9から印加される電源電圧をブリーダ抵抗10、11で分圧して得られる電圧がバイアス印加抵抗12、13を介して印加されている。さらに、これら増幅用FET5、6のドレインは夫々、RF信号の出力端子3、4に接続されている。

【0004】可変抵抗器14においては、増幅用FET5、6のソース間に、利得制御用FET15が接続されているとともに、利得制御量調整用抵抗18、19の直列接続体が接続されている。これら利得制御量調整用抵抗18、19の接続点に電流源FET22のドレインが接続されており、また、利得制御用FET15のゲートはゲート保護抵抗20を介して利得制御電圧の入力端子21に接続され、さらに、増幅用FET5のソースと利得制御用FET15のゲートとの間に利得制御時の歪み改善用コンデンサ16が、利得制御用FET15のゲートと増幅用FET6のソースとの間に利得制御時の歪み改善用コンデンサ17が夫々接続されている。

【0005】電流源FET22のゲートは接地され、そのソースはバラツキ吸収抵抗23を介して接地されている。

【0006】かかる構成により、入力端子1、2間に入力されたRF信号は、増幅用FET5、6によって増幅された後、出力端子3、4から出力される。このときの利得は、入力端子21から印加される利得制御電圧に応じて利得制御用FET15のチャネル抵抗が変化することにより、制御され、その利得制御量は、利得制御量調整用抵抗18、19によって調整可能である。

【0007】また、この従来の利得制御増幅回路では、利得制御用FET15のドレイン、ソース間のチャネル抵抗を可変とすることによって利得制御を行なうものであるため、利得制御時にこのチャネル抵抗が大となったとき、利得制御用FET15のドレイン、ゲート間及びゲート、ソース間の接合容量の非直線性により、歪み特性が劣化するという問題があった。そこで、上記のよう

に、増幅用FET5のソースと利得制御用FET15のゲートとの間に利得制御時の歪み改善用コンデンサ16を、利得制御用FET15のゲートと増幅用FET6のソースとの間に利得制御時の歪み改善用コンデンサ17を夫々設けることにより、利得制御用FET15の接合容量の非直線性の影響を小とし、利得制御時の歪み特性劣化の改善を図っている。

【0008】

【発明が解決しようとする課題】ところで、上記従来の利得制御増幅回路では、利得制御時の歪み特性改善のため、上記のように、利得制御用FET15のドレイン、ゲート間とゲート、ソース間に夫々歪み改善用コンデンサ16、17を付加しているが、利得制御用FET15のチャネル抵抗が大となる利得制御時、高域でこれら付加されたコンデンサ16、17の影響により、利得制御量が不足するという問題があった。

【0009】また、これらコンデンサ16、17に容量のバラツキがあると、利得制御増幅回路のバランスが崩れ、このため、これらコンデンサ16、17を付加して歪み特性改善を図っても、その効果が低減されることになる。

【0010】さらに、負荷としてインダクタを用いたり、インダクタとコンデンサとによる整合回路を用いたりした場合には、これらコンデンサ16、17を付加したことにより、差動プッシュプル動作の寄生発振が起こり易いという問題もあった。

【0011】本発明の目的は、かかる問題を解消し、歪み改善効果を充分に発揮しながら、利得制御量の不足や寄生発振の発生を防止することができるようにした可変抵抗器とそれを用いた利得制御増幅回路及びミキサ回路を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、可変抵抗器において、利得制御用FETのドレイン、ゲート間及びゲート、ソース間の代わりに、該利得制御用FETのゲートと直列接続した利得制御量調整用抵抗の接続点との間に利得制御時の歪み改善用コンデンサを付加する。

【0013】かかる構成によると、利得制御用FETのドレイン、ソース間のチャネル抵抗に対し、このように付加された利得制御時の歪み改善用コンデンサの影響を無視することができ、このため、高域での利得制御量の劣化を抑えることができるし、また、利得制御時の歪み改善用コンデンサが1つでよい場合、容量バラツキによる利得制御時の歪み改善効果の劣化も生じない。さらに、利得制御用FETのドレイン、ソース間のチャネル抵抗に対し、利得制御時の歪み改善用コンデンサの影響が無視できるので、負荷として、インダクタを用いたり、インダクタとコンデンサとによる整合回路を用いたりした場合でも、寄生発振が起こりにくい。

【0014】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1は本発明による可変抵抗器とそれを用いた利得制御増幅回路の第1の実施形態を示す回路図であって、24は利得制御時の歪み改善用コンデンサであり、図5に対応する部分には同一符号をつけて重複する説明を省略する。

【0015】同図において、この第1の実施形態では、可変抵抗器14において、利得制御用FET15のゲートと直列接続体をなす利得制御量調整用抵抗18、19の接続点との間に、利得制御時の歪み改善用コンデンサ24が接続されており、これ以外の構成は図5に示した従来の利得制御増幅回路と同様であり、また、その動作も、図5に示した従来の利得制御増幅回路と同様に、入力端子14からの制御電圧に応じて利得制御用FET15のチャンネル抵抗が変化し、これにより、利得が制御される。

【0016】このように、利得制御時の歪み特性改善手段として、図5に示した従来の利得制御増幅回路のような利得制御用FET15のドレイン、ゲート間とゲート、ソース間とにコンデンサを付加するのではなく、この利得制御用トランジスタ15のゲートと利得制御量調整用抵抗18、19の接続点との間に1つの利得制御時の歪み改善用コンデンサ24を付加することにより、利得制御用FET15のドレイン、ソース間のチャンネル抵抗に対し、この利得制御時の歪み改善用コンデンサ24の影響が無視することができ、このため、高域での利得制御量の劣化を充分抑えることができる。

【0017】また、この実施形態では、利得制御時の歪み改善用として1つのコンデンサ24を設けるだけであるから、上記従来の利得制御増幅回路のような歪み改善用コンデンサの容量のバラツキということは生じることがなく、従って、かかるバラツキによる利得制御時の歪み改善効果の劣化も生ずることはない。さらに、利得制御用FET15のドレイン、ソース間のチャンネル抵抗に対し、利得制御時の歪み改善用コンデンサ24の影響を無視できるので、負荷として、インダクタを用いたり、インダクタとコンデンサとによる整合回路を用いたりした場合でも、寄生発振が起りにくい。

【0018】図2は本発明による可変抵抗器とそれを用いた利得制御増幅回路の第2の実施形態を示す回路図であって、22a、22bは電流源FETであり、図1、図5に対応する部分には同一符号をつけて重複する説明を省略する。

【0019】図1に示した第1の実施形態では、1つの電流源FET22を用い、そのドレインを、一方では、可変抵抗器14の利得制御量調整用抵抗18を介して増幅用FET5のソースに接続し、他方では、可変抵抗器14の利得制御量調整用抵抗19を介して増幅用FET6のソースに接続するように構成したが、この第2の実

施形態では、図2に示すように、2つの電流源FET22a、22bを用い、一方の電流源FET22aのドレインを増幅用FET5のソースに接続し、他方の電流源FET22bのドレインを増幅用FET6のソースに接続した構成としている。そして、これら電流源FET22a、22bは、それらのゲートが直接接地され、それらのソースはともに同じバラツキ吸収抵抗23を介して接地されている。

【0020】以上の構成により、先の第1の実施形態と同様の効果が得られる上に、利得制御量調整用抵抗18、19には直流動作電流が流れず、そこに電圧降下が発生しなため、低電圧化が図れるし、これら利得制御量調整用抵抗18、19の抵抗値も大きくできるので、利得制御量を大きくとることができる。

【0021】図3は本発明による可変抵抗器とそれを用いたミキサ回路の第1の実施形態を示す回路図であって、25、26は局部発振信号の入力端子、27~30は周波数変換用FET、31はIF信号（中間周波信号）の出力端子、32は出力トランス、33は接地用コンデンサ、34、35はブリア抵抗、36、37はバイアス印加抵抗、38、39はRFバッファFETであり、図1、図5に対応する部分には同一符号をつけて重複する説明を省略する。

【0022】同図において、入力端子1、2、RFバッファFET38、39、可変抵抗器14、電流源FET22、バラツキ吸収抵抗23、電源端子9、ブリア抵抗10、11及びバイアス印加抵抗12、13から構成される部分は、図1に示した利得制御増幅回路と同様の構成をなしている（ここで、RFバッファFET38、39は図1での増幅用FET5、6に相当する）。この実施形態は、かかる構成にさらに次の構成が付加されてミキサ回路を構成するものであり、図1に示した利得制御増幅回路を用いたミキサ回路である。

【0023】即ち、RFバッファFET38のドレインに周波数変換用FET27、28のソースが接続されており、また、RFバッファFET39のドレインに周波数変換用FET29、30のソースが接続されている。周波数変換用FET27、29のドレインはともに出力トランス32の電源側（入力側）巻線の一方の端子に接続され、周波数変換用FET28、30のドレインはともに出力トランス32の電源側巻線の他方の端子に接続されている。

【0024】出力トランス32の出力側巻線の一方の端子はIF信号の出力端子31に接続され、他方の端子は接地されている。また、この出力トランス32の電源側巻線の中間タップが接地用コンデンサ33を介して高周波的に接地されているとともに、この中間タップを介して電源端子9からこの電源側巻線に電源電圧が印加される。

【0025】周波数変換用FET27、30のゲートは

入力端子25に接続され、これにブリーダ抵抗34、35によって電源端子9からの電源電圧を分圧して得られる電圧が、バイアス印加抵抗36を介して、印加されている。また、周波数変換用FET28、29のゲートは入力端子26に接続され、これにブリーダ抵抗34、35によって電源端子9からの電源電圧を分圧して得られる電圧が、バイアス印加抵抗37を介して、印加されている。これら入力端子25、26には、図示しない局部発振器からの局部発振信号が入力される。

【0026】かかる構成において、入力端子1、2間にRF信号が入力され、入力端子25、26間に局部発振信号が入力される。このRF信号はRFバッファFET38、39で増幅されて周波数変換用FET27、28と周波数変換用FET29、30とに供給され、局部発振信号とミックスされてIF信号に変換される。周波数変換用FET27、29から出力されるIF信号と周波数変換用FET28、30から出力されるIF信号とは出力トランス32の電源側巻線で合成され、出力端子31から出力される。

【0027】この場合、この実施形態での利得制御も、入力端子21から印加される利得制御電圧によって利得制御用FET15のドレイン、ソース間のチャネル抵抗を変化させるにより、可能であり、利得制御量も利得制御量調整用抵抗18、19により調整可能である。

【0028】以上のように、この実施形態においても、利得制御時の歪み改善手段として、先の図1に示した実施形態と同様に、利得制御用FET15のゲートと利得制御量調整用抵抗18、19の接続点との間に利得制御時の歪み改善用コンデンサ24が付加されていることにより、利得制御用FET15のドレイン、ソース間のチャネル抵抗に対し、この歪み改善用コンデンサ24の影響が無視でき、このため、高域での利得制御量の劣化を充分抑えることができる。

【0029】この実施形態においては、また、利得制御時の歪み改善用として1つのコンデンサ24を用いているので、歪み改善用コンデンサの容量のバラツキということは生ずることがなく、従って、かかるバラツキによる利得制御時の歪み改善効果の劣化も生じないし、さらに、利得制御用FET15のドレイン、ソース間のチャネル抵抗に対し、利得制御時の歪み改善用コンデンサ24の影響を無視することができるので、RF信号の入力端子1、2にインダクタと容量による整合回路を付加しても、寄生発振が起こりにくい。

【0030】図4は本発明による可変抵抗器とそれを用いたミキサ回路の第2の実施形態を示す回路図であって、図2、図3に対応する部分には同一符号をつけて重複する説明を省略する。

【0031】図3に示した実施形態は、RFバッファFET38、39のソースを夫々、可変抵抗器14の利得制御量調整用抵抗18、19を介して、電流源FET2

2のドレインに接続したものであるが、図4に示すこの実施形態では、図3に示した実施形態において、図2に示した実施形態のように、2つの電流源FET22a、22bを用い、一方の電流源FET22aのドレインをRFバッファFET38のソースに接続し、他方の電流源FET22bのドレインをRFバッファFET39のソースに接続した構成としている。そして、これら電流源FET22a、22bは、それらのゲートが直接接地され、それらのソースはともに同じバラツキ吸収抵抗23を介して接地されている。

【0032】以上の構成により、この実施形態では、先に図3に示した実施形態と同様の効果が得られる上に、利得制御量調整用抵抗18、19には直流動作電流が流れず、そこに電圧降下が発生しないので、低電圧化が図れるし、また、利得制御量調整用抵抗18、19の抵抗値も大きくできるので、利得制御量を大きくとることができる。

【0033】

【発明の効果】以上説明したように、本発明によれば、利得制御時の歪み改善用コンデンサの影響が少ない構成とすることができるものであるから、高域での利得制御量の劣化を充分抑えることができるし、利得制御時の歪み改善用としてコンデンサが1つであるから、歪み改善用コンデンサの容量のバラツキということがなくて、かかるバラツキによる利得制御時の歪み改善効果の劣化も生じないし、さらに、利得制御時の歪み改善用コンデンサの影響を無視することができるので、負荷としてインダクタを用いたり、インダクタと容量による整合回路を付加しても、寄生発振が効果的に抑圧される。

【図面の簡単な説明】

【図1】本発明による可変抵抗器とそれを用いた利得制御増幅回路の第1の実施形態を示す回路図である。

【図2】本発明による可変抵抗器とそれを用いた利得制御増幅回路の第2の実施形態を示す回路図である。

【図3】本発明による可変抵抗器とそれを用いたミキサ回路の第1の実施形態を示す回路図である。

【図4】本発明による可変抵抗器とそれを用いたミキサ回路の第2の実施形態を示す回路図である。

【図5】従来の利得制御増幅回路の一例を示す回路図である。

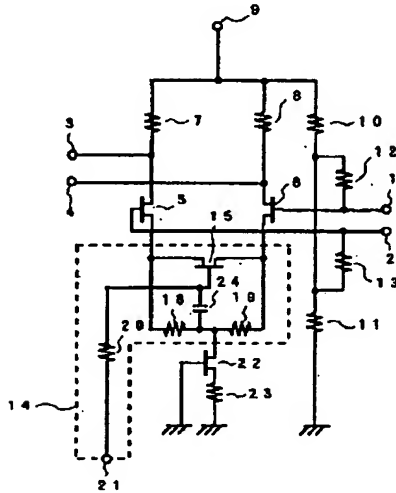
【符号の説明】

- 1、2 RF信号の入力端子
- 3、4 RF信号の出力端子
- 5、6 増幅用FET
- 7、8 負荷抵抗
- 14 可変抵抗器
- 15 利得制御用FET
- 18、19 利得制御量調整用抵抗
- 21 利得制御電圧の入力端子
- 22、22a、22b 電流源FET

- 24 利得制御時の歪み改善用コンデンサ
 25、26 局部発振信号の入力端子
 27～30 周波数変換用FET

【図1】

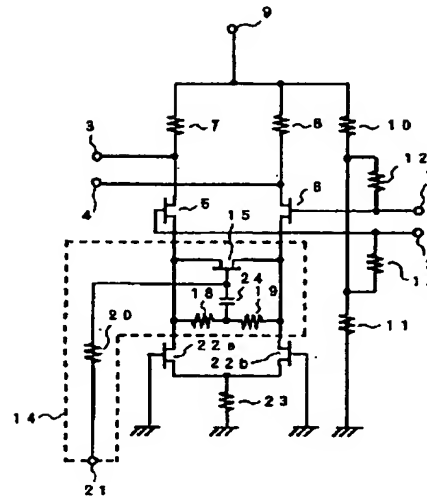
【図1】



- * 31 IF信号の出力端子
 32 出力トランス
 * 38、39 RFバッファFET

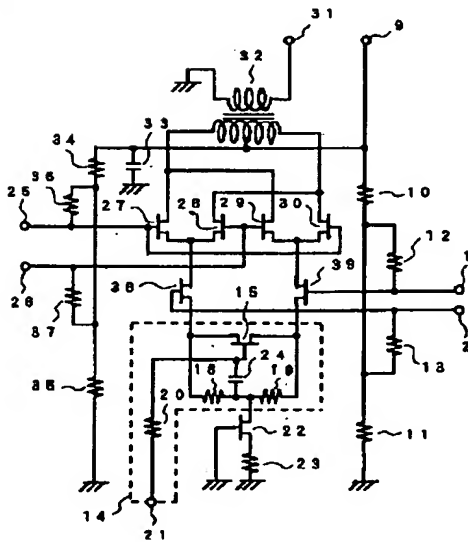
【図2】

【図2】



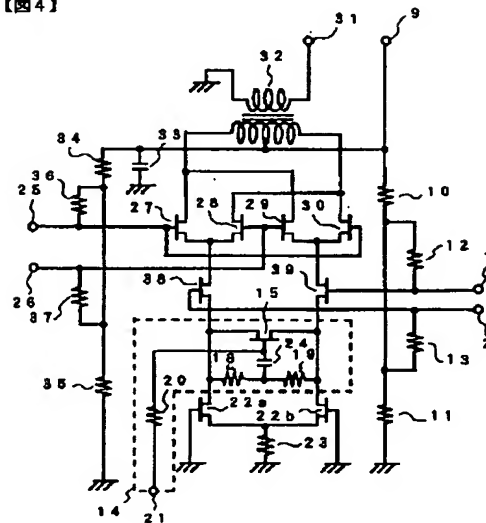
【図3】

【図3】



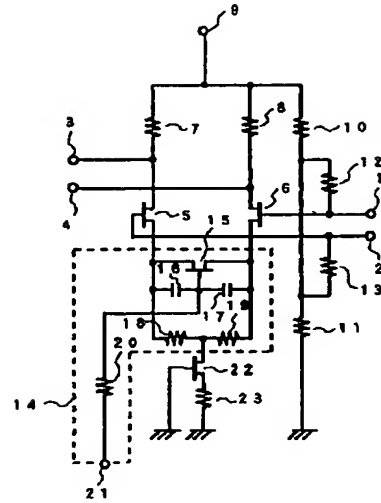
【図4】

【図4】



【図5】

【図5】



2025 RELEASE UNDER E.O. 14176